

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110731

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H01L 21/60
H01L 21/66
H01L 21/3205

(21)Application number : 2000-300281

(71)Applicant : NEC CORP

(22)Date of filing : 29.09.2000

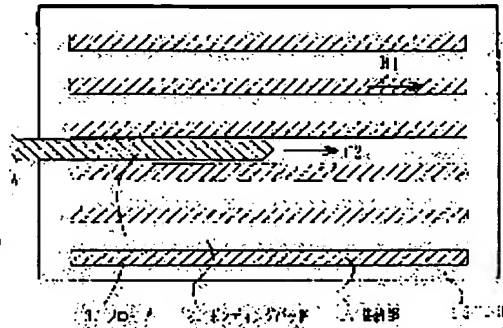
(72)Inventor : ISHII JUNYA

(54) SEMICONDUCTOR DEVICE AND THE MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device in which a generation of cracks at a bonding pad part due to probing in a chip test are prevented and in bonding of which pads will not peel off.

SOLUTION: This method for manufacturing the semiconductor device, where a bonding pad 2 is formed using a first and second wiring layers 14, 17, has plural slit-like ditches arranged and provided between the first wiring layer 14 and the second wiring layer 17, and long-length direction H1 of connection part 15 corresponds to the moving direction H2 of a probe 3 for contacting the bonding pad 2.



LEGAL STATUS

[Date of request for examination] 21.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3434793

[Date of registration] 30.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the semiconductor device which formed bonding BADD0 using the 1st and 2nd wiring layers. Between said 1st wiring layer and 2nd wiring layer While forming the 1st connection which puts two or more slit-like slots in order, prepares them, and connects said the 1st wiring layer and 2nd wiring layer to this Mizouchi, and the 2nd and 3rd connections prepared so that it might face across this 1st connection In the 3rd bridge connection section by which connected in the 1st bridge connection section and the 2nd bridge connection section, and said the 1st connection and 2nd connection were prepared between said 1st bridge connection section and the 2nd bridge connection section The semiconductor device characterized by constituting so that said the 1st connection and 3rd connection may be connected.

[Claim 2] The semiconductor device according to claim 1 characterized by forming the width of face narrowly to the width of face of said connection in a part for the connection to said bridge connection section of said connection.

[Claim 3] The semiconductor device according to claim 1 or 2 characterized by forming the width of face narrowly to the width of face of said bridge connection section in a part for the connection to said connection of said bridge connection section.

[Claim 4] It is the manufacture approach of the semiconductor device which formed bonding BADD0 using the 1st and 2nd wiring layers. Between said 1st wiring layer and 2nd wiring layer The manufacture approach of the semiconductor device characterized by putting two or more slit-like slots in order, preparing them, and making in agreement with him the contact direction of the probe made to contact the longitudinal direction and said bonding BADD0 of said connection while forming in this Mizouchi the connection which connects said the 1st wiring layer and 2nd wiring layer.

[Claim 5] The 2nd connection and 3rd connection of said connection are prepared so that it may face across the 1st connection of said connection. In the 3rd bridge connection section by which connected in the 1st bridge connection section and the 2nd bridge connection section, and said the 1st connection and 2nd connection were prepared between said 1st bridge connection section and the 2nd bridge connection section The manufacture approach of the semiconductor device according to claim 4 characterized by connecting said the 1st connection and 3rd connection.

[Translation done.]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the new semiconductor device which prevents pad peeling at the time of bonding, and its manufacture approach while preventing generating of the crack of the bonding pad section by probing at the time of a chip test with respect to a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] Conventionally, peeling arose between the bonding pad and the interlayer insulation film, and there was a problem that an assembly yield fell.

[0003] In order to solve such a problem, as shown in drawing 7, the metal pad formed using two or more wiring layers is connected using many holes 61, and the technique of preventing peeling between a bonding pad 62 and an interlayer insulation film is adopted. However, by this technique, since a hole and a hole are restricted to a certain minimum interval on a design, there is a limit in the area of the hole which connects between metal pads. Especially the number of pins for taking out a signal line with the increment in the function carried in a chip increases, and, for this reason, it is tended to reduce the area of a bonding pad. When the area of a bonding pad becomes small, the impact concerning a bonding pad increases. Moreover, in order to prevent buildup of the wiring delay by detailed-izing, when the silicon oxide (FSG) which carried out the fluorine dope as low dielectric constant film is used for an interlayer insulation film, a fluorine and barrier metal react and it becomes easy to generate peeling in the interface of a pad and an interlayer insulation film.

[0004] For this reason, for example, the technique it was made to increase the wire pull reinforcement at the time of bonding is shown by using the array of a slit for connection between the upper pad and a lower layer pad as indicated by JP,6-196525,A.

[0005] Since this technique uses the slit for connection between pads and it can be taken as compared with the case where the area of the slit which connects between metal pads is a hole, the reinforcement of connection between metal pads became large, and has done temporary effectiveness so in the point of preventing bonding pad peeling. [large]

[0006] However, when the penetration direction and slit of a probe became vertical at the time of the chip test before wire bonding in the case of the above-mentioned technique, since adhesion was weak as compared with the tungsten used for laying under the ground of a slit, the adhesion of a metal pad and an interlayer insulation film had the case where a crack arose from between the side attachment wall of a slit, and interlayer films. In such a case, at the time of the bonding of assembly, since it will already be arisen by the crack, the reinforcement which connects between pads becomes weaker and it becomes easy to produce pad peeling.

[0007] Furthermore, since the part which does not have an interlayer film in the surroundings of wiring exists when the crack formed at the time of a chip test reaches even to wiring prepared in the bottom of a bonding pad in the case of the structure which lets wiring pass under a bonding pad, the migration resistance of wiring of the part deteriorates. Moreover, when moisture permeated from a crack part, there was a fault that wiring might be corroded and disconnected.

[0008]

[Problem(s) to be Solved by the Invention] The object of this invention offers the new semiconductor device which lost pad peeling at the time of bonding, and its manufacture approach while it improves the fault of the above-mentioned conventional technique and prevents generating of the crack of the bonding pad section by probing at the time of a chip test especially.

[0009] Other objects of this invention are to offer the new semiconductor device which prevented the open circuit of wiring by corrosion, and its manufacture approach while they prevent generating of the crack of the bonding pad section by the probe at the time of a chip test and prevent degradation of the migration resistance of wiring under a bonding pad.

[0010]

[Means for Solving the Problem] Fundamentally, this invention adopts a technical configuration which was indicated below in order to attain the above-mentioned object.

[0011] Namely, the 1st mode of the semiconductor device concerning this invention and its manufacture approach It is the semiconductor device which formed bonding BADD0 using the 1st and 2nd wiring layers. Between said 1st wiring layer and 2nd wiring layer While forming the 1st connection which puts two or more slit-like slots in order, prepares them, and connects said the 1st wiring layer and 2nd wiring layer to this Mizouchi, and the 2nd and 3rd connections prepared so that it might face across this 1st connection In the 3rd bridge connection section by which connected in the 1st bridge connection section and the 2nd bridge connection section, and said the 1st connection and 2nd connection were prepared between said 1st bridge connection section and the 2nd bridge connection section It is what is characterized by constituting so that said the 1st connection and 3rd connection may be connected. ** and the 2nd mode In a part for the connection to said bridge connection section of said connection It is characterized by forming the width of face narrowly to the width of face of said connection, and ** and the 3rd mode are characterized by forming the width of face narrowly to the width of face of said bridge connection section by part for the connection to said connection of said bridge connection section.

[0012] The 1st mode of the manufacture approach of the semiconductor device concerning ** and this invention It is the manufacture approach of the semiconductor device which formed bonding BADD0 using the 1st and 2nd wiring layers. Between said 1st wiring layer and 2nd wiring layer While forming the connection which puts two or more slit-like slots in order, prepares them, and connects said the 1st wiring layer and 2nd wiring layer to this Mizouchi It is what is characterized by making in agreement the contact direction of the probe the longitudinal direction and said bonding BADD0 of said connection are made to contact. ** and the 2nd mode The 2nd connection and 3rd connection of said connection are prepared so that it may face across the 1st connection of said connection. In the 3rd bridge connection section by which connected in the 1st bridge connection section and the 2nd bridge connection section, and said the 1st connection and 2nd connection were prepared between said 1st bridge connection section and the 2nd bridge connection section It is characterized by connecting said the 1st connection and 3rd connection.

[0013]

[Embodiment of the Invention] Plurality carries out **** formation of the bonding pad for wiring layers, and the description of this invention is in the structure connected using the connection which has arranged the maximum upper layer and its lower layer metal pad of them to the direction where the probe at the time of a chip test hits a pad, and parallel.

[0014] The top view of the semiconductor device of this invention is shown in drawing 1 , and the sectional view is shown in drawing 2 . As shown in these drawings, the upper metal pad 17 formed using the maximum upper wiring layer and the lower layer metal pad 14 formed using the wiring layer under one of them are connected in the connection 15 which prepared in the interlayer insulation film 16.

[0015] The longitudinal direction of a connection 15 is arranged so that it may become the direction and parallel which a probe is in charge of at the time of a chip test. Thus, when a probe hits the upper metal pad 17 with constituting at the time of a chip test, since the connection 15 is stationed so that it may be parallel to the direction which the force of a probe 19 requires, it

is hard coming to carry out generating of a crack.

[0016] Therefore, since a crack stops being able to go into a bonding pad easily even if it performs probing at the time of a chip test, it is hard to produce pad peeling at the time of assembly, and the assembly yield improves.

[0017]

[Example] Below, the example of the semiconductor device concerning this invention and its manufacture approach is explained at a detail, referring to a drawing.

[0018] Drawing 1 - drawing 3 are drawings showing the 1st example of this invention. (The 1st example) In these drawings It is the manufacture approach of the semiconductor device which formed bonding BADD0 2 using the 1st and 2nd wiring layers 14 and 17. Between said 1st wiring layer 14 and 2nd wiring layer 17 While forming the connection 15 which puts two or more slit-like slot 15' in order, prepares them, and connects said the 1st wiring layer 14 and 2nd wiring layer 17 to this Mizouchi The manufacture approach of the semiconductor device characterized by making in agreement the contact direction H2 of the probe 3 the longitudinal direction H1 and said bonding BADD0 2 of said connection are made to contact is shown.

[0019] Below, the 1st example is explained further at a detail.

[0020] It is the sectional view where drawing 1 met the top view of the bonding pad of the semiconductor device of the 1st example of this invention, and drawing 2 met the A-A' line of drawing 1 . a probe 3 is shown in drawing 1 -- as -- H 2-way parallel to an A-A' line -- and as shown in drawing 2 , a bonding pad 2 shall be hit aslant

[0021] Two or more connections 15 put in order and prepared in field oxide 12, the interlayer insulation film 13, the lower layer metal pad 14, and the interlayer insulation film 13, an interlayer insulation film 16, the upper metal pad 17, and the passivation film 18 are formed in the semiconductor substrate 11.

[0022] And the longitudinal direction H1 of a connection 15 is arranged so that it may become in the same direction as the direction H2 where a probe 3 hits a bonding pad 2.

[0023] Moreover, it is constituted so that the upper metal pad 17 and the passivation film 18 may lap with the ends of a connection 15.

[0024] If drawing 2 is referred to, by this example, the lower layer metal pad 14 of 0.9-micrometer thickness is formed on an interlayer insulation film 13, on it, the interlayer insulation film 16 with a thickness of 1 micrometer accumulates, and the upper metal pad 17 of 0.9-1.7-micrometer thickness is formed on the interlayer insulation film 16. The lower layer metal pad 14 and the upper metal pad 17 are connected in the inside of an interlayer insulation film 16 in the connection 15 laid underground with the tungsten CVD whose lap margin with width of face of 0.6 micrometers, spacing of 0.5 micrometers, and a metal pad is 2 micrometers. The passivation film 18 of 5-micrometer thickness of the maximum upper layer laps the upper metal pad 17 top, and is carrying out opening of the margin with 5 micrometers.

[0025] Thus, in constituted this invention, if a probe 3 hits the upper metal pad 17 when a probe 3 is taken down downward and it hits against a pad from the condition of drawing 2 , the head of a probe 3 will be joined in the direction of A[from A]', and the force will join slipping and the upper metal pad 17 in a lower part and the direction of A' in the upper metal pad 17 top. the thing 7 which the ends of a connection 15 are under the PASSHI **--SHON film 18, and the direction H2 of a probe 3 moreover becomes vertical to the interface of a connection 15 and an interlayer insulation film 16 in this invention since it is the configuration that a probe 3 contacts the upper metal pad 17 along with the longitudinal direction H1 of a connection 15 -- it is -- ** Therefore, the force is not strongly applied to a connection 15 and the interface of an interlayer insulation film 16, consequently a crack stops being able to enter easily.

[0026] The effectiveness of this invention is further explained using drawing 3 . Drawing 3 shows the example of the observation result of the crack existence by the count of contact of a probe. The amount of overdrives at the time of a probe is shown in a lengthwise direction, and the count of contact is shown in the longitudinal direction. About each structure, it examined 20 samples at a time, and observed. As compared with the conventional structure, it turns out that the resistance of this invention over a crack is improving and probing can be carried out on the conditions into which a crack does not go.

[0027] Therefore, since a crack does not enter at the time of a chip test, it is hard to produce peeling by the bonding pad section at the time of assembly, and an assembly yield improves.

[0028] In the above-mentioned example, although the bonding pad is formed by two-layer, it is good also as structure of three or more layers using a lower layer wiring layer. In this case, since the connection between metal pads is not influenced of probing, it is not necessary to not necessarily make the direction of a connection in agreement in the direction of a probe.

Moreover, you may connect using many holes.

[0029] (The 2nd example) Drawing 4 is drawing showing the 2nd example of this invention, and the wiring 33 of a lower layer wiring layer is formed in the bottom of the lower layer metal pad 35 of the bonding pad constituted from the 2nd example like the 1st example.

[0030] However, since bonding pad structure is the same structure as said 1st example, as compared with structure, the crack has stopped being able to enter by this example easily conventionally. Therefore, since a thing like degradation of migration resistance or an open circuit is lost even if it prepares wiring in the bottom of a bonding pad, it becomes possible to carry out rear-spring-supporter maintenance of the dependability of a semiconductor device at a long period of time.

[0031] Drawing 5 and drawing 6 are drawings showing the 3rd example of this invention. (The 3rd example) In these drawings The 2nd connection 152 and 3rd connection 153 of said connection are prepared so that it may face across the 1st connection 151 of a connection. Said the 1st connection 151 and 2nd connection 152 are connected in the 1st bridge connection section 161 and the 2nd bridge connection section 162. The semiconductor device characterized by connecting said the 1st connection 151 and 3rd connection 153 in the 3rd bridge connection section 163 prepared between said 1st bridge connection section 161 and the 2nd bridge connection section 162 is shown.

[0032] Below, the 3rd example is explained further at a detail.

[0033] It is desirable that it needs to make smaller than the spacing A of the bridge connection section die-length B of the connections 161-163 perpendicularly prepared to the contact direction H2 of a probe in the case of this example, and carries out to 1/2 or less in this case since the direction of the force which the reason the effectiveness that a crack cannot enter easily is acquired as mentioned above requires in the case of probing is because it becomes in parallel with the interface of a connection and an interlayer insulation film.

[0034] In this example, width of face of 0.6 micrometers and the slit spacing B have connected each connections 151-153 in the bridge connection sections 161-163 laid underground with the tungsten CVD whose lap margin with 1.2 micrometers and a metal pad is 2 micrometers about an interlayer insulation film. Each connections 151-153 are connected in the bridge connection sections 161-163 prepared in the perpendicular direction width of face of 0.6 micrometers and whose slit spacing A are 2.4 micrometers. 0.9 micrometers was shifted and the bridge connection sections 161-163 prepared perpendicularly are arranged so that it may not come to the location which countered across connections 151-153. The reason is that it is hard to lay underground when horned since the tungsten is laid underground with the CVD method. Moreover, in order to raise the laying-under-the-ground nature of a tungsten, as shown in drawing 6, it is desirable on the intersection of a connection and the bridge connection section to prepare ejection of an interlayer insulation film in the part of an angle, and to make each width of face L of a connection and the bridge connection section narrower about 0.1 micrometers than the usual slit width.

[0035]

[Effect of the Invention] They can lose pad peeling at the time of bonding while they prevent generating of the crack of the bonding pad section by probing at the time of a chip test, since the semiconductor device concerning this invention and its manufacture approach were constituted as mentioned above.

[0036] Moreover, degradation of the migration resistance of wiring under a bonding pad is prevented, and the outstanding effectiveness that the open circuit by corrosion can be prevented is also further done so.

[Translation done.]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view of the semiconductor device of the 1st example of this invention.

[Drawing 2] It is an A-A' sectional view.

[Drawing 3] It is the graph showing the effectiveness of this invention.

[Drawing 4] It is the sectional view of the 2nd example.

[Drawing 5] It is the top view of the 3rd example.

[Drawing 6] It is the enlarged drawing of the connection of the 3rd example.

[Drawing 7] It is the top view of the conventional example.

[Description of Notations]

1 Connection

2 Bonding Pad

3 Probe

12 Field Oxide

13 16 Interlayer insulation film

14 Lower Layer Metal Pad

15 Connection

17 The Upper Metal Pad

18 Passivation Film

H1 Longitudinal direction of a connection

H2 Direction where a probe contacts a bonding pad

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-110731

(P2002-110731A)

(43) 公開日 平成14年4月12日 (2002. 4. 12)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
H 0 1 L 21/60	3 0 1	H 0 1 L 21/60	3 0 1 P 4 M 1 0 6
21/66		21/66	E 5 F 0 3 3
21/3205		21/88	T 5 F 0 4 4

審査請求 有 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願2000-300281(P2000-300281)

(22) 出願日 平成12年9月29日 (2000. 9. 29)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 石井 淳也

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070530

弁理士 畑 泰之

Fターム(参考) 4M106 AA02 AA11 AD03

5F033 HH07 JJ19 KK07 MM22 NN33

PP06 VV07 XX14 XX17

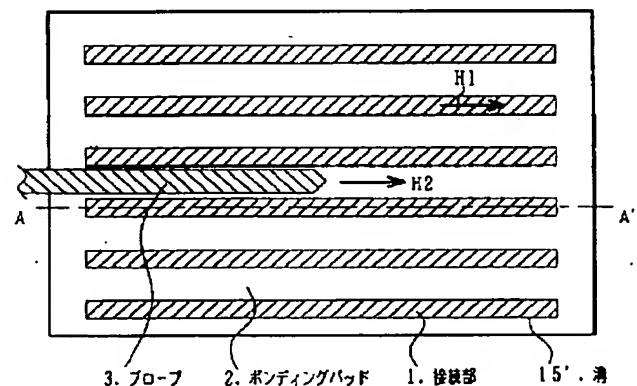
5F044 EE04 EE06 EE07 EE12

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 チップテスト時のプロービングによるボンディングパッド部のクラックの発生を防止すると共に、ボンディング時のパッド剥がれをなくすようにした半導体装置の製造方法を提供する。

【解決手段】 ボンディングパッド2を第1及び第2の配線層14、17を用いて形成した半導体装置の製造方法であって、前記第1の配線層14と第2の配線層17との間に、スリット状の溝を複数並べて設け、この溝内に、前記第1の配線層14と第2の配線層17とを接続する接続部15を形成すると共に、前記接続部15の長手方向H1と前記ボンディングパッド2に接触せしめるプローブ3の当接方向H2とを一致せしめたことを特徴とする。



【特許請求の範囲】

【請求項 1】 ボンディングパッドを第 1 及び第 2 の配線層を用いて形成した半導体装置であって、前記第 1 の配線層と第 2 の配線層との間に、スリット状の溝を複数並べて設け、この溝内に、前記第 1 の配線層と第 2 の配線層とを接続する第 1 の接続部と、この第 1 の接続部を挟むように設けられた第 2 及び第 3 の接続部とを形成すると共に、前記第 1 の接続部と第 2 の接続部とが第 1 のブリッジ接続部と第 2 のブリッジ接続部とで接続され、前記第 1 のブリッジ接続部と第 2 のブリッジ接続部との間に設けられた第 3 のブリッジ接続部で、前記第 1 の接続部と第 3 の接続部とが接続されるように構成したことを特徴とする半導体装置。

【請求項 2】 前記接続部の前記ブリッジ接続部への接続部分では、前記接続部の幅に対して、その幅を狭く形成したことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記ブリッジ接続部の前記接続部への接続部分では、前記ブリッジ接続部の幅に対して、その幅を狭く形成したことを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 ボンディングパッドを第 1 及び第 2 の配線層を用いて形成した半導体装置の製造方法であって、前記第 1 の配線層と第 2 の配線層との間に、スリット状の溝を複数並べて設け、この溝内に、前記第 1 の配線層と第 2 の配線層とを接続する接続部を形成すると共に、前記接続部の長手方向と前記ボンディングパッドに接触せしめるプローブの当接方向とを一致せしめたことを特徴とする半導体装置の製造方法。

【請求項 5】 前記接続部の第 1 の接続部を挟むように前記接続部の第 2 の接続部と第 3 の接続部とが設けられ、前記第 1 の接続部と第 2 の接続部とが第 1 のブリッジ接続部と第 2 のブリッジ接続部とで接続され、前記第 1 のブリッジ接続部と第 2 のブリッジ接続部との間に設けられた第 3 のブリッジ接続部で、前記第 1 の接続部と第 3 の接続部とが接続されていることを特徴とする請求項 4 記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体装置とその製造方法に係わり、特に、チップテスト時のプロービングによるボンディングパッド部のクラックの発生を防ぐと共に、ボンディング時のパッド剥がれを防止する新規な半導体装置とその製造方法に関する。

【0002】

【従来の技術】 従来より、ボンディングパッドと層間絶縁膜との間で剥がれが生じ、組立歩留が低下するという問題があった。

【0003】 このような問題を解決するために、図 7 に示すように、複数の配線層を用いて形成したメタルパッドを多数の孔 61 を用いて接続し、ボンディングパッド

62 と層間絶縁膜の間に剥がれを防止するという手法が採用されている。しかしながら、この手法では、孔と孔とは設計上ある最小間隔に制限されるため、メタルパッド間を接続する孔の面積には限度がある。特に、チップに搭載する機能の増加に伴い、信号線を取り出すためのピン数は増加し、このため、ボンディングパッドの面積は、縮小する傾向にある。ボンディングパッドの面積が小さくなることにより、ボンディングパッドにかかる衝撃は増加する。また、微細化による配線遅延の増大を防ぐため、層間絶縁膜に低誘電率膜としてフッ素ドーパしたシリコン酸化膜 (FSG) を使用した場合、フッ素とバリアメタルとが反応し、パッドと層間絶縁膜の界面では、剥がれが発生しやすくなる。

【0004】 このため、例えば、特開平 6-196525 号公報に開示されているように、上層パッドと下層パッドとの接続に、スリットの配列を用いることで、ボンディング時のワイヤプル強度を増すようにした技術が示されている。

【0005】 この技術は、パッド間の接続にスリットを用いているので、メタルパッド間を接続するスリットの面積が孔の場合に比較して大きくとれるため、メタルパッド間の接続の強度が大きくなり、ボンディングパッド剥がれを防止するという点において一応の効果を奏している。

【0006】 しかしながら、上記の技術の場合、ワイヤーボンディング以前のチップテスト時において、プローブの進入方向とスリットとが垂直になった場合、メタルパッドと層間絶縁膜との密着性は、スリットの埋設に用いられるタングステンと比較すると密着性が弱いから、スリットの側壁と層間膜の間よりクラックが生じる場合があった。このような場合、組立のボンディング時には、すでにクラックが生じた状態になっているから、パッド間を接続する強度が弱まり、パッド剥がれが生じやすくなる。

【0007】 更に、ボンディングパッド下に配線を通す構造の場合、チップテスト時に形成されたクラックが、ボンディングパッド下に設けた配線まで到達するような時、配線の周りに層間膜のない部分が存在するため、その部分の配線のマイグレーション耐性は劣化する。また、クラック部分より水分が浸透した場合には、配線が腐食し、断線する可能性があるという欠点があった。

【0008】

【発明が解決しようとする課題】 本発明の目的は、上記した従来技術の欠点を改良し、特に、チップテスト時のプロービングによるボンディングパッド部のクラックの発生を防止すると共に、ボンディング時のパッド剥がれをなくすようにした新規な半導体装置とその製造方法を提供することである。

【0009】 本発明の他の目的は、チップテスト時のプローブによるボンディングパッド部のクラックの発生を

防ぎ、ボンディングパッド下の配線のマイグレーション耐性の劣化を防止すると共に、腐食による配線の断線を防止した新規な半導体装置とその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。

【0011】即ち、本発明に係わる半導体装置とその製造方法の第1態様は、ボンディングパッドを第1及び第2の配線層を用いて形成した半導体装置であって、前記第1の配線層と第2の配線層との間に、スリット状の溝を複数並べて設け、この溝内に、前記第1の配線層と第2の配線層とを接続する第1の接続部と、この第1の接続部を挟むように設けられた第2及び第3の接続部とを形成すると共に、前記第1の接続部と第2の接続部とが第1のブリッジ接続部と第2のブリッジ接続部とで接続され、前記第1のブリッジ接続部と第2のブリッジ接続部との間に設けられた第3のブリッジ接続部で、前記第1の接続部と第3の接続部とが接続されるように構成したことを特徴とするものであり、又、第2態様は、前記接続部の前記ブリッジ接続部への接続部分では、前記接続部の幅に対して、その幅を狭く形成したことを特徴とするものであり、又、第3態様は、前記ブリッジ接続部の前記接続部への接続部分では、前記ブリッジ接続部の幅に対して、その幅を狭く形成したことを特徴とするものである。

【0012】又、本発明に係わる半導体装置の製造方法の第1態様は、ボンディングパッドを第1及び第2の配線層を用いて形成した半導体装置の製造方法であって、前記第1の配線層と第2の配線層との間に、スリット状の溝を複数並べて設け、この溝内に、前記第1の配線層と第2の配線層とを接続する接続部を形成すると共に、前記接続部の長手方向と前記ボンディングパッドに接触せしめるプローブの当接方向とを一致せしめたことを特徴とするものであり、又、第2態様は、前記接続部の第1の接続部を挟むように前記接続部の第2の接続部と第3の接続部とが設けられ、前記第1の接続部と第2の接続部とが第1のブリッジ接続部と第2のブリッジ接続部とで接続され、前記第1のブリッジ接続部と第2のブリッジ接続部との間に設けられた第3のブリッジ接続部で、前記第1の接続部と第3の接続部とが接続されていることを特徴とするものである。

【0013】

【発明の実施の形態】本発明の特徴は、ボンディングパッドを複数の配線層を用いて形成し、その内の最上層とその下層のメタルパッドとを、チップテスト時のプローブがパッドに当たる方向と平行に配置した接続部を用いて接続する構造にある。

【0014】図1に、本発明の半導体装置の平面図を、

図2にその断面図を示す。これらの図に示すように、最上層配線層を用いて形成した上層メタルパッド17とその1層下の配線層を用いて形成した下層メタルパッド14とを、層間絶縁膜16に設けた接続部15で接続している。

【0015】接続部15の長手方向は、チップテスト時にプローブが当たる方向と平行になるように配列している。このように構成することで、チップテスト時にプローブが上層メタルパッド17に当たった時、接続部15は、プローブ19の力のかかる方向に対して平行になるように配置されているので、クラックの発生がしにくくなる。

【0016】従って、チップテスト時にプロービングをおこなっても、ボンディングパッドにクラックが入りにくくなるので、組立時にパッド剥がれが生じにくく、組立歩留まりが向上する。

【0017】

【実施例】以下に、本発明に係わる半導体装置とその製造方法の具体例を図面を参照しながら詳細に説明する。

【0018】（第1の具体例）図1～図3は、本発明の第1の具体例を示す図であって、これらの図には、ボンディングパッド2を第1及び第2の配線層14、17を用いて形成した半導体装置の製造方法であって、前記第1の配線層14と第2の配線層17との間に、スリット状の溝15'を複数並べて設け、この溝内に、前記第1の配線層14と第2の配線層17とを接続する接続部15を形成すると共に、前記接続部の長手方向H1と前記ボンディングパッド2に接触せしめるプローブ3の当接方向H2とを一致せしめたことを特徴とする半導体装置の製造方法が示されている。

【0019】以下に、第1の具体例を更に詳細に説明する。

【0020】図1は、本発明の第1の具体例の半導体装置のボンディングパッドの平面図、図2は、図1のA-A'線に沿った断面図である。プローブ3は、図1に示されるように、A-A'線に平行なH2方向に、且つ、図2に示されるように、斜めにボンディングパッド2に当たるものとする。

【0021】半導体基板11には、フィールド酸化膜12、層間絶縁膜13、下層メタルパッド14、層間絶縁膜13内に並べて設けられた複数の接続部15、層間絶縁膜16、上層メタルパッド17、パッシベーション膜18が形成されている。

【0022】そして、接続部15の長手方向H1は、プローブ3がボンディングパッド2にあたる方向H2と同じ方向になるように配置している。

【0023】また、接続部15の両端には、上層メタルパッド17とパッシベーション膜18とが重なるように構成されている。

【0024】図2を参照すると、この具体例では、層間

絶縁膜13上に0.9 μ m厚の下層メタルパッド14が形成され、その上には、厚さ1 μ mの層間絶縁膜16が堆積され、層間絶縁膜16上には0.9~1.7 μ m厚の上層メタルパッド17が形成されている。下層メタルパッド14と上層メタルパッド17は層間絶縁膜16中を幅0.6 μ m、間隔0.5 μ m、メタルパッドとの重なりマージンが2 μ mのタングステンCVDにより埋設された接続部15で接続されている。最上層の5 μ m厚のパッシベーション膜18は、上層メタルパッド17の上を重なりマージンを5 μ mを持ち開口している。

【0025】このように構成した本発明において、図2の状態よりプローブ3を下に降ろしパッドに当てた場合、プローブ3が上層メタルパッド17に当たると、AからA'の方向にプローブ3の先端が上層メタルパッド17上を滑り、上層メタルパッド17には下方およびA'方向に力が加わる。本発明においては、接続部15の両端は、パッシベーション膜18の下にあり、しかも、接続部15の長手方向H1に沿って、プローブ3が上層メタルパッド17に当接する構成であるから、プローブ3の方向H2が、接続部15と層間絶縁膜16との境界面と垂直になることとなない。従って、接続部15と層間絶縁膜16の境界面に強く力がかかることがなく、その結果、クラックが入りにくくなる。

【0026】本発明の効果を図3を用いて更に説明する。図3は、プローブのコンタクト回数によるクラック有無の観察結果の例を示す。縦方向にプローブ時のオーバードライブ量、横方向にコンタクト回数を示している。各構造について20サンプルずつ試験し観察した。従来の構造と比較すると、本発明は、クラックに対する耐性が向上しており、クラックの入らない条件でプロービングできることがわかる。

【0027】従って、チップテスト時にクラックが入らないので、組立時にボンディングパッド部での剥がれが生じにくく、組立歩留が向上する。

【0028】上記例においては、ボンディングパッドは2層で形成されているが、下層の配線層を用いて3層以上の構造としてもよい。この場合、メタルパッド間の接続部は、プロービングの影響を受けないため、接続部の方向は、必ずしもプローブの方向に一致させなくてもよい。また、多数の孔を用いて接続してもよい。

【0029】(第2の具体例) 図4は、本発明の第2の具体例を示す図であり、第2の具体例では、第1の具体例のように構成したボンディングパッドの下層メタルパッド35の下に、下層の配線層の配線33が設けられている。

【0030】しかし、本具体例では、ボンディングパッド構造が前記第1の具体例と同一構造であるので、従来構造と比較しクラックが入りにくくなっている。従って、ボンディングパッド下に配線を設けても、マイグレーション耐性の劣化や断線のようなことがなくなるか

ら、半導体装置の信頼性を長期にわたり保持することが可能になる。

【0031】(第3の具体例) 図5、図6は、本発明の第3の具体例を示す図であって、これらの図には、接続部の第1の接続部151を挟むように前記接続部の第2の接続部152と第3の接続部153とが設けられ、前記第1の接続部151と第2の接続部152とが第1のブリッジ接続部161と第2のブリッジ接続部162とで接続され、前記第1のブリッジ接続部161と第2のブリッジ接続部162との間に設けられた第3のブリッジ接続部163で、前記第1の接続部151と第3の接続部153とが接続されていることを特徴とする半導体装置が示されている。

【0032】以下に、第3の具体例を更に詳細に説明する。

【0033】前述した通り、クラックが入りにくい効果が得られる理由は、プロービングの際にかかる力の方向が、接続部と層間絶縁膜の界面に平行になるためであるから、この具体例の場合、プローブの当接方向H2に対して垂直方向に設けられる接続部161~163の長さBは、ブリッジ接続部の間隔Aよりも小さくする必要があり、この場合1/2以下にすることが好ましい。

【0034】本具体例では、層間絶縁膜を幅0.6 μ m、スリット間隔Bが1.2 μ m、メタルパッドとの重なりマージンが2 μ mのタングステンCVDにより埋設されたブリッジ接続部161~163で、各接続部151~153を接続している。各接続部151~153は、幅0.6 μ m、スリット間隔Aが2.4 μ mの垂直方向に設けたブリッジ接続部161~163で接続されている。垂直方向に設けたブリッジ接続部161~163は、接続部151~153をはさんで対向した位置にこないよう0.9 μ mずらして配置している。その理由は、タングステンをCVD法により埋設しているため、角がある場合は埋設しにくいからである。また、タングステンの埋設性をあげるために、図6に示すように、接続部とブリッジ接続部との交点では、角の部分に層間絶縁膜の突き出しを設けて、接続部とブリッジ接続部とのそれぞれの幅Lを、通常のスリット幅よりも0.1 μ m程度狭くすることが好ましい。

【0035】

【発明の効果】本発明に係わる半導体装置とその製造方法は、上述のように構成したので、チップテスト時のプロービングによるボンディングパッド部のクラックの発生を防止すると共に、ボンディング時のパッド剥がれをなくすことが出来る。

【0036】又、ボンディングパッド下の配線のマイグレーション耐性の劣化を防止し、更に、腐食による断線を防止出来るという優れた効果をも奏する。

【図面の簡単な説明】

【図1】本発明の第1の具体例の半導体装置の平面図で

ある。

【図2】A-A'断面図である。

【図3】本発明の効果を示す図表である。

【図4】第2の具体例の断面図である。

【図5】第3の具体例の平面図である。

【図6】第3の具体例の接続部の拡大図である。

【図7】従来例の平面図である。

【符号の説明】

1 接続部

2 ボンディングパッド

3 プローブ

12 フィールド酸化膜

13、16 層間絶縁膜

14 下層メタルパッド

15 接続部

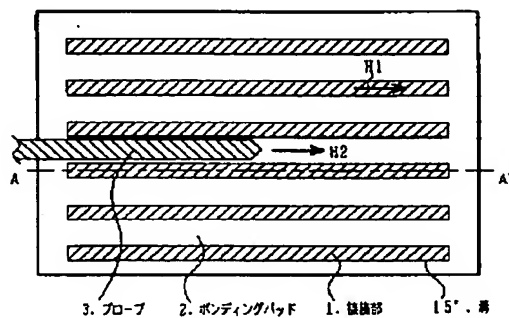
17 上層メタルパッド

18 パッシベーション膜

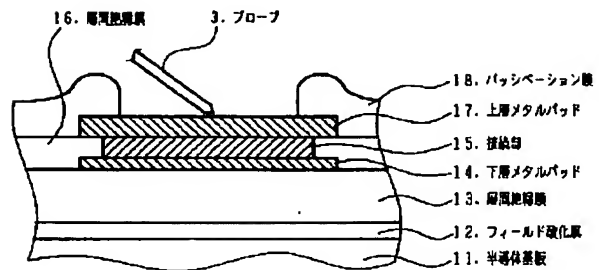
H1 接続部の長手方向

H2 プローブがボンディングパッドに当接する方向

【図1】



【図2】

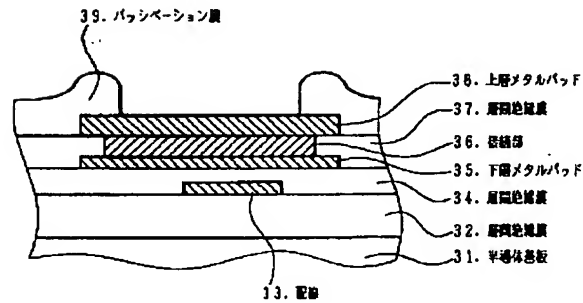


【図3】

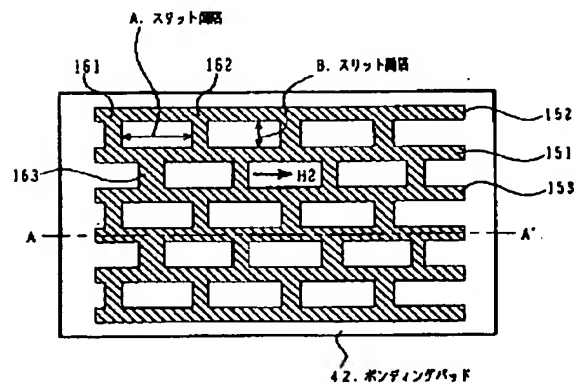
	コンタクト回数				
	4	10	20	100	
従来例1 (図7)	x	—	—	100	オーバー ドライブ 量 (%)
	x	x	—	80	
	o	x	—	60	
	o	x	—	50	
従来例2 第1具体例 (図1) に対しスリット方向 を90°回転	—	—	—	100	
	—	—	—	80	
	x	—	—	60	
	x	x	—	50	
第1具体例 (図1)	o	x	—	100	
	o	x	x	80	
	o	o	o	60	
	o	o	o	50	
第3具体例 (図5)	x	—	—	100	
	x	x	—	80	
	o	o	o	60	
	o	o	o	50	

o クラックなし
x クラックあり

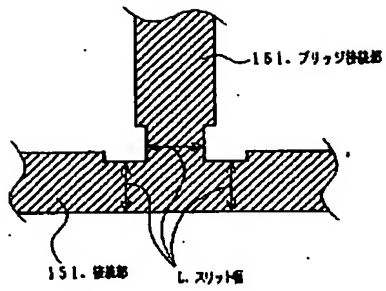
【図4】



【図5】



【図6】



【図7】

